




MEMORY DEVICE AND MEMORY SYSTEM

Patent number: JP2003068082
Publication date: 2003-03-07
Inventor: MATSUI YOSHINORI
Applicant: ELPIDA MEMORY INC
Classification:
 - International: G11C11/409; G06F3/00; G06F12/00; G06F13/16;
 G11C11/407; H03K19/0175
 - european:
Application number: JP20010254780 20010824
Priority number(s): JP20010254780 20010824

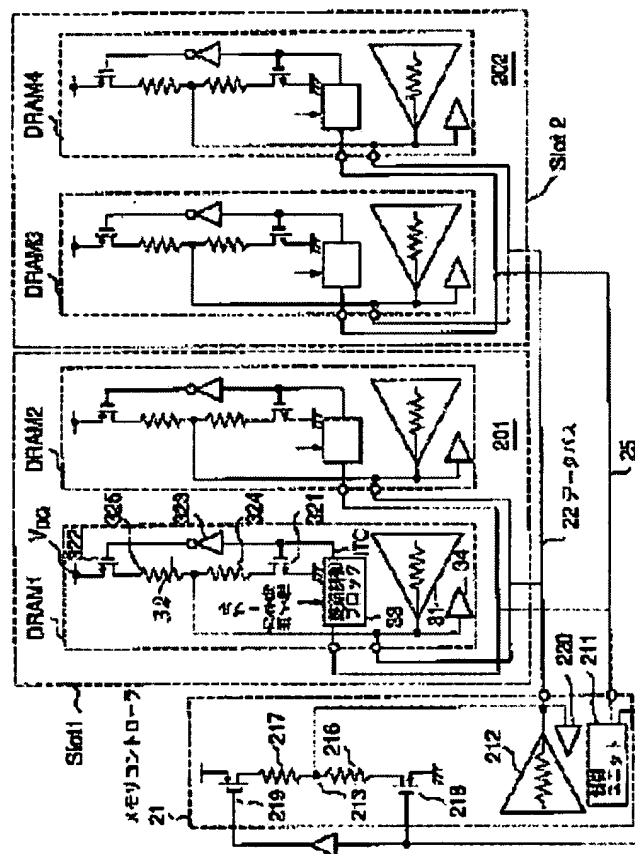
Also published as:

 US 6917546 (B2)
 US 2003039151 (A1)
 DE 10238577 (A1)

Report a data error here

Abstract of JP2003068082

PROBLEM TO BE SOLVED: To provide a memory system in which deterioration of signal quality caused by signal reflection by mismatching of wiring impedance of a data bus is lightened, and which can perform read-out and write-in of data at high speed, in a memory system in which memory devices such as a DRAM or the like are branched for a data bus.
SOLUTION: This system is memory device connected to a data bus, the memory device is provided with an active terminal circuit terminal-controlling this memory device and a control circuit controlling electrically this active terminal circuit to an active state or an inactive state, in it. Further, this memory system has a plurality of memory devices, while has a memory controller performing terminal control of the plurality of memory devices. In this case, also the memory controller is provided with the terminal circuit made an active state or an inactive state.



Data supplied from the esp@cenet database - Worldwide

(11)特許出願公開番号

特開2003-68082

(P2003-68082A)

(43)公開日 平成15年3月7日(2003.3.7)

(51)Int.Cl.' G 1 1 C 11/409 G 0 6 F 3/00 12/00 13/16 G 1 1 C 11/407	識別記号 5 5 0 5 1 0	F I G 0 6 F 3/00 12/00 13/16 G 1 1 C 11/34	テーマコード*(参考) K 5 B 0 6 0 5 5 0 K 5 J 0 5 6 5 1 0 A 5 M 0 2 4 3 5 4 A 3 5 4 P

審査請求 有 請求項の数20 OL (全 17 頁) 最終頁に続く

(21)出願番号 特願2001-254780(P2001-254780)

(22) 出願日 平成13年8月24日(2001.8.24)

(71)出願人 500174247

エルピーダメモリ株式会社

東京都中央区八重洲2-2-1

(72)発明者 松井 義徳

東京都中央区八重洲二丁目2番1号 エル
ピーダメモリ株式会社内

(74) 代理人 100071272

井理士 後藤 洋介 (外1名)

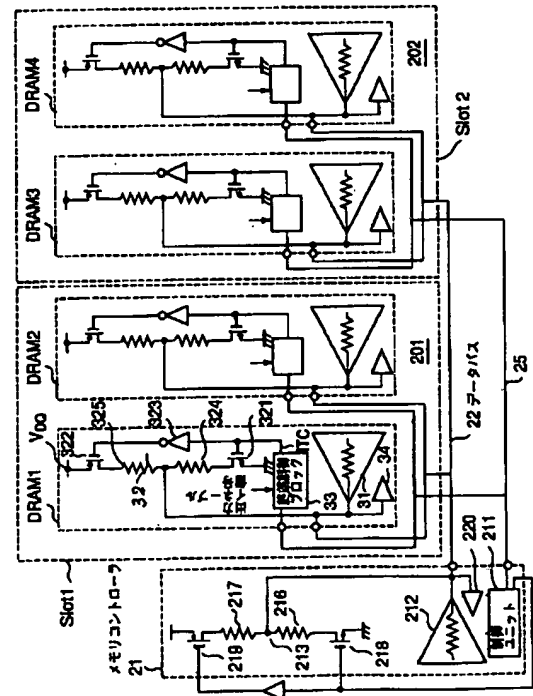
最終頁に続く

(54) 【発明の名称】 メモリデバイス及びメモリシステム

(57) 【要約】

【課題】 データバスに対して、DRAM等のメモリデバイスを分岐した形で接続したメモリシステムにおいて、データバスの配線インピーダンスの不整合による信号反射による信号品質の劣化を軽減し、高速で、データの読出、書込を行うことができるメモリシステムを提供することである。

【解決手段】 データバスに接続されるメモリデバイスであって、当該メモリデバイス内に、このメモリデバイスを終端制御するアクティブ終端回路と、このアクティブ終端回路を電氣的に、アクティブ状態、或いは、インアクティブ状態に制御する制御回路とを備えたメモリデバイスが得られる。このようなメモリデバイスを複数個備えると共に、複数個のメモリデバイスの終端制御を行うメモリコントローラを有するメモリシステムが得られる。この場合、メモリコントローラにも、アクティブ状態或いはインアクティブ状態となる終端回路が備えられている。



【特許請求の範囲】

【請求項1】 データバスに接続して使用されるメモリデバイスにおいて、前記メモリデバイスを終端制御するアクティブ終端回路と、該アクティブ終端回路を電氣的に、アクティブ状態、或いは、インアクティブ状態に制御する制御回路とを有することを特徴とするメモリデバイス。

【請求項2】 請求項1において、前記制御回路は、前記メモリデバイスの外部から与えられ、前記アクティブ終端素回路をアクティブ状態又はインアクティブ状態にするための終端制御信号と、前記メモリデバイス内で発生されるデータ出力イネーブル信号とを受け、前記終端制御信号と前記データ出力イネーブル信号とから、内部終端制御信号を生成することを特徴とするメモリデバイス。

【請求項3】 請求項2において、前記制御回路は、前記終端制御信号とクロック信号とを受け、前記クロック信号に同期して、前記終端制御信号を受信するレシーバと、該レシーバで受信された終端制御信号と、前記データ出力イネーブル信号とから、前記内部終端制御信号を生成する終端制御部とを有していることを特徴とするメモリデバイス。

【請求項4】 請求項2において、前記制御回路は、クロック信号と非同期的前記終端制御信号を受信するレシーバと、該レシーバで受信された終端制御信号と、前記データ出力イネーブル信号とから、前記内部終端制御信号を生成する終端制御部とを有していることを特徴とするメモリデバイス。

【請求項5】 請求項1において、前記制御回路は、前記メモリデバイスの外部から与えられ、前記アクティブ終端回路をアクティブ状態又はインアクティブ状態にするための終端制御信号、前記メモリデバイス内で発生されるデータ出力イネーブル信号、及び、パワーダウン信号とから、内部終端制御信号を生成することを特徴とするメモリデバイス。

【請求項6】 請求項5において、前記制御回路は、前記終端制御信号を受信するレシーバと、該レシーバで受信された終端制御信号と、前記パワーダウン信号及び前記データ出力イネーブル信号とから、前記内部終端制御信号を生成する終端制御部を有することを特徴とするメモリデバイス。

【請求項7】 請求項1において、前記制御回路は、前記メモリデバイス内で発生されるデータ出力イネーブル信号及びパワーダウン信号のみから、前記内部終端制御信号を生成する終端制御部を備えていることを特徴とするメモリデバイス。

【請求項8】 請求項1～7のいずれかにおいて、前記アクティブ終端回路は、互いに異なる導電形の一对のトランジスタと、これらトランジスタ間に直列に接続された抵抗回路と、前記一对のトランジスタの一方のゲート

には、前記内部終端制御信号、及び、他方のゲートには、前記内部終端制御信号の反転された信号が、それぞれ与えられる構成を有し、前記一对のトランジスタをオン、オフすることにより、前記メモリデバイスをアクティブ状態、或いは、インアクティブ状態にすることを特徴とするメモリデバイス。

【請求項9】 請求項8において、前記抵抗回路は、直列に接続された同一抵抗値を有する2つの抵抗によって構成され、前記2つの抵抗の共通接続点は、前記データバスに接続されていることを特徴とするメモリデバイス。

【請求項10】 請求項8又は9において、前記アクティブ終端回路の電源電圧は、前記メモリデバイスの電源電圧と共通であることを特徴とするメモリデバイス。

【請求項11】 1本のデータバスに複数のメモリデバイスを接続した構成を有するメモリシステムにおいて、前記各メモリデバイスは、前記データバスにデータを出力する時、及び、外部から終端制御信号を受信した時、終端回路をインアクティブにする内部終端制御信号を生成する制御回路と、前記内部終端制御信号がインアクティブ状態を指示している場合に、インアクティブ状態に置かれる終端回路を有することを特徴とするメモリシステム。

【請求項12】 請求項11において、前記終端制御信号は、前記データバスを共有する全てのメモリデバイスに同時に与えられることを特徴とするメモリシステム。

【請求項13】 請求項11において、前記各メモリデバイスは、クロック信号に同期して動作すると共に、前記終端制御信号を前記クロック信号に対して非同同期で取り込むことを特徴とするメモリシステム。

【請求項14】 請求項11において、前記各メモリデバイスの制御回路は、更に、パワーダウン状態になった時、前記インアクティブ状態を指示する内部終端制御信号を出力し、前記終端回路は、当該内部終端制御信号によって、インアクティブ状態に置かれることを特徴とするメモリシステム。

【請求項15】 請求項11において、前記データバスに接続されると共に、前記各メモリデバイスと制御信号線を介して接続されたメモリコントローラを備え、前記メモリコントローラは、前記メモリデバイスのアクセスの際、選択的にアクティブ状態、或いは、インアクティブ状態に置かれる終端回路を有していることを特徴とするメモリシステム。

【請求項16】 1本のデータバスに複数のメモリデバイスと、前記データバスを介して、前記複数のメモリデバイスに接続されたメモリコントローラとを有するメモリシステムにおいて、前記メモリコントローラは、前記メモリデバイスのアクセスの際、選択的にアクティブ状態、或いは、インアクティブ状態に置かれる終端回路と、前記各メモリデバイスをアクセスの際、前記複数の

メモリデバイスに対して、終端制御信号を出力する制御ユニットとを備え、前記各メモリデバイスは、前記メモリコントローラの終端制御信号を受信して内部終端制御信号を生成する制御回路と、前記内部終端制御信号がアクティブ状態、或いは、インアクティブ状態を指示している場合に、アクティブ状態、或いは、インアクティブ状態に置かれるアクティブ終端回路を有することを特徴とするメモリシステム。

【請求項 17】 請求項 16 において、前記メモリコントローラは、前記メモリデバイスのうち、特定メモリデバイスに対して読出コマンド或いは書込コマンドが発行される場合、前記データバスに接続された前記複数のメモリデバイスのアクティブ終端回路をアクティブ状態にすることを指示する終端制御信号を生成する手段を有する一方、前記メモリコントローラの前記終端回路は、前記読出コマンド生成の際、アクティブ状態に置かれる一方、前記特定メモリデバイスに対して書込コマンドが生成され、前記特定メモリデバイスに対してデータが書き込まれる際に、インアクティブ状態に置かれることを特徴とするメモリシステム。

【請求項 18】 請求項 17 において、前記特定メモリデバイスの前記制御回路は、前記読出コマンドを受けている場合、前記アクティブ状態を指示する終端制御信号を前記メモリコントローラから受信して、当該特定メモリデバイスからデータを読出す際に、前記インアクティブ状態を指示する内部終端制御信号を特定メモリデバイスのアクティブ終端回路に出力し、他方、前記書込コマンドを受けている場合には、前記特定メモリデバイスのアクティブ終端回路をアクティブ状態に保った状態で、データを書き込むことを特徴とするメモリシステム。

【請求項 19】 1 本のデータバスに複数のメモリデバイスと、前記データバスを介して、前記複数のメモリデバイスに接続されたメモリコントローラとを有するメモリシステムの終端制御方法において、前記メモリコントローラから前記複数のメモリデバイスのうち、特定のメモリデバイスに対して、読出コマンドを発行する段階と、

前記読出コマンド発行の際、前記メモリコントローラの終端回路をアクティブ状態に維持する段階と、

前記読出コマンド発行の際、前記読出コマンドに応じた前記特定メモリデバイスからのデータ読出中、前記特定メモリデバイス以外のメモリデバイスにおけるアクティブ終端回路をアクティブ状態に維持する段階と、

前記読出コマンド発行の際、前記読出コマンドに応じた前記特定メモリデバイスからのデータ読出中、前記特定メモリデバイスにおけるアクティブ終端回路をインアクティブ状態に維持する段階とを有することを特徴とするメモリシステムの終端制御方法。

【請求項 20】 請求項 19 において、前記特定メモリデバイスに対して、前記書込コマンドを発行する段階

と、

前記書込コマンド発行の際、書込データを出力している間、前記メモリコントローラの終端回路をインアクティブ状態に維持する段階と、

前記書込コマンド発行の際、前記特定メモリデバイスを含む前記複数のメモリデバイスのアクティブ終端回路をアクティブ状態に維持する段階とを備えていることを特徴とするメモリシステムの終端制御方法。

【発明の詳細な説明】

10 【0001】

【発明の属する技術分野】本発明は、高速で動作可能なメモリデバイス、及び、これらのメモリデバイスを複数備えたメモリシステムに関する。

【0002】

【従来の技術】最近、メモリデバイスを高集積化する一方、高速で且つ低信号振幅で動作させるためのインタフェースが検討されている。このための規格として、SS TL (Stub Series Termination Logic) が提案されている。また、メモリモジュールの一つである DRAM
20 をより高速で動作させるために、クロックの立ち上がりと下りの両エッジに同期してデータの入出力を行うことにより、データレートを 2 倍にできる DDR (double data rate) も提案されている。

【0003】上記した動作を行うメモリシステムは、複数のメモリモジュールをマザーボード上に間隔を置いて並行に配列した構成を備えている。この場合、複数のメモリモジュールは、それぞれコネクタを介してマザーボード上に搭載されている。各メモリモジュールをマザーボードに取り付けるために、各コネクタには、メモリモジュールを取り付けるためのスロットが設けられており、各スロットには、メモリモジュールと電気的接続を行うための端子が配列されている。一方、メモリモジュールの表及び/又は裏には、複数のメモリデバイス及びレジスタ等のバッファが取り付けられており、メモリデバイス及びレジスタは、モジュール端部に設けられた端子を介してコネクタと電気的に接続されている。

【0004】また、上記したメモリシステムの中には、メモリモジュール上のメモリデバイスを制御するために、チップセットと呼ばれるコントローラをマザーボード上に搭載したものがある。このメモリシステムでは、データバス、コマンド・アドレスバス、及び、クロックバス（以下の説明では、これらを総称して単にバスと呼ぶこともある）がマザーボード上に布線され、当該バスによってコントローラと各メモリモジュール上のメモリデバイス及びレジスタが電気的に接続されている。

【0005】上記したバスのうち、データバス及びクロックバスは、コントローラから、直接、各メモリモジュールの各メモリデバイスに接続されており、他方、コマンド・アドレスバスは、レジスタに接続され、当該レジスタから各メモリモジュール上のメモリデバイスに接続

50

される構成が採用されている場合がある。

【0006】更に、SSTL規格に従うメモリシステムは、各メモリモジュール内のメモリデバイスを構成するDRAMとコネクタとをスタブによって接続された構成を備えている。このようなメモリシステム的具体例として、コネクタのスロットに取り付けられたメモリモジュールの表裏に、それぞれメモリデバイスとして、DRAMを搭載した構成のメモリシステムが開示されている。各メモリモジュールの表裏に設けられたDRAMは、データバスに対して、スタブを介して接続されている。

【0007】この種のメモリシステムでは、入出力をより高速に行うために、クロックバスに与えられるクロックの周波数を100MHz以上（例えば、133MHz）にすることが考慮されている。この場合、読出／書込のデータレートは、DDRを採用した場合、200MHz以上になる。また、最近では、200～400MHzのクロック周波数で、各メモリモジュールを動作させることも要求されており、この場合、データレートは400～800MHzに達することになる。

【0008】ここで、図13を参照して、従来のメモリシステムの一例を説明する。図示されたメモリシステムは、マザーボード上に取り付けられたメモリコントローラ21、及び、マザーボード上のスロットに装着された複数のメモリモジュール201、202、書込クロックを発生するクロック発生器101、及び、読出クロックを発生するクロック発生器102を備えている。マザーボード上に装着された各メモリモジュール201、202には、複数のDRAMが取り付けられており、各スロットにはコネクタが設けられている。図示された例では、各メモリモジュール201、202の表側に、DRAMfが配置され、他方、裏側には、DRAMrが配置されている。各DRAMf、rは、コネクタ、モジュール上のスタブを介して、データバスDB、コマンド・アドレスバスCB、書込クロックバスWB、及び、読出クロックバスRBと接続されている。

【0009】各バスは、各メモリモジュール201、202の表裏に設けられたDRAMf、rに接続するために、モジュール上で分岐されている。更に、この例では、コマンドアドレスバスCB中には、終端制御信号を送受するための制御信号線も含まれているものとする。尚、書込クロックバスWBには、クロック発生器101からの書込クロックが与えられ、他方、読出クロックバスRBには、クロック発生器102からの読出クロックが与えられている。また、メモリコントローラ21は、データバスDB、及び、コマンド・アドレスバスCBを介して各DRAMf、rと接続されている。

【0010】

【発明が解決しようとする課題】図示されたメモリシステムは、大容量を有すると共に、高速で動作することが可能である。図示されているように、従来のメモリシ

テムでは、データバス的一端をコントローラに接続する一方、データバスDBの他端、即ち、データバスDB遠端に終端素子として、終端抵抗を接続し、この終端抵抗に終端電源から、電圧を印加することが考慮されている。しかしながら、前述したように、各コネクタで分岐され、且つ、各スタブにおいても分岐して、データバスに接続されるDRAMを備えたメモリシステムの場合、データバスの遠端でのみ終端しただけでは、データバスの配線インピーダンスの不整合による信号反射による信号品質の劣化が無視できない程大きくなることが判明した。このため、前述した終端方式を採用しただけでは、メモリシステムの高速化に対応できないことが分かった。

【0011】本発明の目的は、メモリデバイスをデータバスに対して分岐した形で接続したメモリシステムにおいて、データバスと各メモリデバイスとの間における反射を有効に防止することにより、メモリデバイスからのデータを高速で読み出すことができるメモリシステムを提供することである。

【0012】本発明の他の目的は、読出或いは書込状態において、各状態に応じた反射防止制御を行うことができるメモリデバイスを提供することである。

【0013】

【課題を解決するための手段】本発明の一態様によれば、データバスに接続して使用されるメモリデバイスにおいて、前記メモリデバイスを終端制御するアクティブ終端回路と、該アクティブ終端回路を電氣的に、アクティブ状態、或いは、インアクティブ状態に制御する制御回路とを有することを特徴とするメモリデバイスが得られる。

【0014】前記制御回路の一例として、前記メモリデバイスの外部から与えられ、前記アクティブ終端素子回路をアクティブ状態又はインアクティブ状態にするための終端制御信号と、前記メモリデバイス内で発生されるデータ出力イネーブル信号とを受け、前記外部信号と前記データ出力イネーブル信号とから、内部終端制御信号を生成する制御回路が考えられる。この場合、前記制御回路は、前記終端制御信号とクロック信号とを受け、前記クロック信号に同期して、前記終端制御信号を受信するレシーバと、該レシーバで受信された終端制御信号と、前記データ出力イネーブル信号とから、前記内部終端制御信号を生成する終端制御部とによって構成できる。他方、前記制御回路は、クロック信号に対して、非同期で、前記終端制御信号を受信するレシーバと、該レシーバで受信された終端制御信号と、前記データ出力イネーブル信号とから、前記内部終端制御信号を生成する終端制御部とによって構成されても良い。

【0015】前記制御回路の他の例として、前記メモリデバイスの外部から与えられ、前記アクティブ終端回路をアクティブ状態又はインアクティブ状態にするための

終端制御信号、前記メモリデバイス内で発生されるデータ出力イネーブル信号、及び、パワーダウン信号とから、内部終端制御信号を生成する制御回路によって構成しても良い。

【0016】上記したアクティブ終端回路は、互いに異なる導電形の一对のトランジスタと、これらトランジスタ間に直列に接続された抵抗回路と、前記一对のトランジスタの一方に接続されたインバータとを有し、前記一对のトランジスタをオン、オフすることにより、前記メモリデバイスをアクティブ状態、或いは、インアクティブ状態にする回路構成を有している。

【0017】本発明の他の態様によれば、1本のデータバスに複数のメモリデバイスを接続した構成を有するメモリシステムにおいて、前記各メモリデバイスは、前記データバスにデータを出力する時、及び、外部から終端制御信号を受信した時、終端をインアクティブにする内部終端制御信号を生成する制御回路と、前記内部終端制御信号がインアクティブ状態を指示している場合に、インアクティブ状態に置かれる終端回路を有することを特徴とするメモリシステムが得られる。この場合、メモリシステムは、更に、前記データバスに接続されると共に、前記各メモリデバイスと制御信号線を介して接続されたメモリコントローラを備え、前記メモリコントローラは、前記メモリデバイスのアクセスの際、選択的にアクティブ状態、或いは、インアクティブ状態に置かれる終端回路を備えている。

【0018】更に、本発明の別の実施態様によれば、1本のデータバスに複数のメモリデバイスと、前記データバスを介して、前記複数のメモリデバイスに接続されたメモリコントローラとを有するメモリシステムにおいて、前記メモリコントローラは、前記メモリデバイスのアクセスの際、選択的にアクティブ状態、或いは、インアクティブ状態に置かれる終端回路と、前記各メモリデバイスをアクセスの際、前記複数のメモリデバイスに対して、終端制御信号を出力する制御ユニットとを備え、前記各メモリデバイスは、前記メモリコントローラから、前記メモリコントローラから終端制御信号を受信して内部終端制御信号を生成する制御回路と、前記内部終端制御信号がインアクティブ状態を指示している場合に、インアクティブ状態に置かれるアクティブ終端回路を有することを特徴とするメモリシステムが得られる。上記したメモリコントローラは、前記メモリデバイスのうち、特定メモリデバイスに対して読出コマンド或いは書込コマンドが発行される場合、前記データバスに接続された前記複数のメモリデバイスのアクティブ終端回路をアクティブ状態にすることを指示する終端制御信号を生成する手段を有する一方、前記メモリコントローラの前記終端回路は、前記読出コマンド生成の際、アクティブ状態に置かれ、且つ、前記特定メモリデバイスに対して書込コマンドが生成され、前記特定メモリデバイスに

対してデータが書き込まれる際に、インアクティブ状態に置かれる。

【0019】ここで、上記した特定メモリデバイスの前記制御回路は、前記読出コマンドを受けている場合、前記アクティブ状態を指示する終端制御信号を前記メモリコントローラから受信して、当該特定メモリデバイスからデータを読出す際に、前記インアクティブ状態を指示する内部終端制御信号を特定メモリデバイスのアクティブ終端回路に出力し、他方、前記書込コマンドを受けている場合には、前記特定メモリデバイスのアクティブ終端回路をアクティブ状態に保った状態で、データを書き込む。

【0020】本発明の更に別の実施態様によれば、1本のデータバスに複数のメモリデバイスと、前記データバスを介して、前記複数のメモリデバイスに接続されたメモリコントローラとを有するメモリシステムの終端制御方法において、前記メモリコントローラから前記複数のメモリデバイスのうち、特定のメモリデバイスに対して、読出コマンドを発行する段階と、前記読出コマンド発行の際、前記メモリコントローラの終端回路をアクティブ状態に維持する段階と、前記読出コマンド発行の際、前記読出コマンドに応じた前記特定メモリデバイスからのデータ読出中、前記特定メモリデバイス以外のメモリデバイスにおけるアクティブ終端回路をアクティブ状態に維持する段階と、前記読出コマンド発行の際、前記読出コマンドに応じた前記特定メモリデバイスからのデータ読出中、前記特定メモリデバイスにおけるアクティブ終端回路をアクティブ状態に維持する段階とを有することを特徴とするメモリシステムの終端制御方法が得られる。

【0021】更に、上記した終端制御方法は、前記特定メモリデバイスに対して、前記書込コマンドを発行する段階と、前記書込コマンド発行の際、書込データを出力している間、前記メモリコントローラの終端回路をインアクティブ状態に維持する段階と、前記書込コマンド発行の際、前記特定メモリデバイスを含む前記複数のメモリデバイスのアクティブ終端回路をアクティブ状態に維持する段階とを備えていても良い。

【0022】

【発明の実施の形態】図1を参照して、本発明の一実施形態に係るメモリシステムを説明する。図示されたメモリシステムは、マザーボード上に配列された複数のコネクタと、各コネクタのスロット slot 1、及び、slot 2 に挿入された2つのメモリモジュール 201 及び 202 とを備えている。図示されたメモリモジュール 201、202 の表裏には、それぞれメモリデバイスとして、DRAM 1 及び 2、DRAM 3 及び 4 が搭載されている。ここで、DRAM 1 及び 3 は、各メモリモジュール 201、202 の表側、即ち、フロントサイドに設けられており、他方、DRAM 2 及び 4 は、各メモリモジ

ジュール201、202の裏側、即ち、バックサイドに設けられているものとする。また、マザーボード上には、コネクタと共に、メモリコントローラ21が搭載されている。

【0023】メモリコントローラ21と、メモリジュール201、202のDRAM1、2、3、及び4は、一つのデータバス22によって接続されている。図からも明らかなように、単一のデータバス22に対して、各コネクタのスロットを介して、2つのDRAM1及び2、DRAM3及び4が接続されている。更に、メモリ

コントローラ21は、各DRAM1、2、3、及び、4と制御信号線25によって接続されている。

【0024】図示されたメモリコントローラ21は、制御信号線25上に終端制御信号を送出する制御ユニット211、データ書込の際にデータバス22上にデータを出力するドライバ212、データ読出の際にデータバス22からのデータを受信するレシーバ220、及び、DRAM1、2、3、及び、4からデータを読み出す場合に動作状態となる終端回路213とによって構成されている。図示されたドライバ212及びレシーバ220

は、後述するように、制御ユニット211の制御によって選択的に終端回路213と接続される。

【0025】図示されたメモリコントローラ21の終端回路213は、直列に接続された2つの抵抗216、217と、抵抗216及び217の両端に接続されたNチャンネルMOSトランジスタ218、PチャンネルMOSトランジスタ219とを備えている。図示されたNチャンネルMOSトランジスタ218のソースは接地されており、他方、PチャンネルMOSトランジスタ219のソースには電源電圧 V_{DQ} が与えられている。この電源電圧 V_{DQ} は、DRAM1、2、3、及び4の各メモリ素子に与えられる電源電圧と共通である。図示された例では、抵抗216及び217の共通接続点がデータバス22に接続されており、抵抗216及び217が等しい抵抗値を有している場合、MOSトランジスタ218、219がオンしている間、データバス22は、 $V_{DQ}/2$ の終端電圧で終端されることになる。尚、図示されたMOSトランジスタ218、219は、制御ユニット211からのコントロール信号によってオンオフされるものとする。

【0026】一方、図1に示された各DRAM1、2、3、及び4は、同一の構成を有しているから、ここでは、DRAM1の構成を例にとって説明する。尚、読出コマンド、或いは、書込コマンドは、DRAM1に対して出力されるものとする。

【0027】DRAM1は、読出データをデータバス22に出力するドライバ31、DRAM1内部に設けられたアクティブ終端回路32、アクティブ終端回路32を制御する終端制御ブロック33、及び、データバス22からの書込データを書き込むためのレシーバ34とを有

している。ドライバ31及びレシーバ34は、後述するように、終端制御ブロック33の制御によって、選択的にアクティブ終端回路32に接続される。

【0028】図示されたDRAM1は、読出、書込コマンドに応答して、出力イネーブル信号を内部で発生する。当該終端制御ブロック33は、DRAM1外部から与えられる終端制御信号、及び、当該DRAM1内部において読出、書込コマンドに応答して発生される出力イネーブル信号とを受け、アクティブ終端回路32に内部終端制御信号ITCを出力する。

【0029】図1に示された各DRAM内のアクティブ終端回路32は、NチャンネルMOSトランジスタ321、PチャンネルMOSトランジスタ322、インバータ323、両MOSトランジスタの間に、互いに直列に接続された2つの抵抗324及び325とを備えている。2つの抵抗324、325の共通接続点は、ドライバ31、レシーバ34と共にデータバス22に接続されている。また、PチャンネルMOSトランジスタ322のソースには、DRAM1のメモリ部に使用される電源から電源電圧 V_{DQ} が与えられている。即ち、図示されたアクティブ終端回路32は、メモリ部と共通の電源を使用しているため、終端回路用の電源を不要にすることができる。

【0030】ここで、抵抗324、325は、互いに同じ抵抗値を有しているものとする。この場合、両抵抗324、325の共通接続点は、データバス22に接続されているから、両MOSトランジスタ321、322がオンになると、電源電圧 V_{DQ} が抵抗324、325で分圧されて、 $V_{DQ}/2$ の終端電圧がデータバス22に与えられることになる。したがって、この構成では、アクティブ終端回路32がアクティブ状態、即ち、有効に動作を行う場合、データバス22は、 $V_{DQ}/2$ の電圧によって終端されることになる。他方、両MOSトランジスタ321、322がオフ状態になると、アクティブ終端回路32は、インアクティブ状態、即ち、無効状態となって、開放状態となる。

【0031】次に、図2をも参照して、図1に示されたDRAM1に読出コマンド(RED)が与えられた場合の動作を説明する。また、図示されていないが、各DRAMには、クロックバスを介してクロックが与えられており、この例の場合、各クロックの立ち上がり及び立下りでデータの読出或いは書込が行われる所謂DDRの手法が用いられるものとする。

【0032】まず、DRAM1がアクセスされていない状態では、終端制御ブロック33は、アクティブ終端回路32に対して、ロー(L)レベルの内部終端制御信号ITCを出力し、両MOSトランジスタ321、322はオフにする。結果として、アクティブ終端回路32は、インアクティブ状態になっている。このことは、他の全てのDRAM2、3、4においても同様である。一

方、メモリコントローラ 21 内部の終端回路、即ち、終端素子 213 は、コントロール信号によって MOS トランジスタ 218、219 がオンになり、アクティブ状態に保たれている。この結果、データバス 22 は、終端電圧 ($V_{DQ}/2$) に維持されている。このように、アクセスされない状態では、DRAM 1、2、3、4 内のアクティブ終端回路 32 は電流を消費しないためメモリシステム全体のパワーを削減できる。

【0033】DRAM 1 に読出コマンド (RED) が図示しないコマンドバスを介して発行されると、メモリコントローラ 21 は、同時に、制御ユニット 211 から制御信号線 25 に対して、ハイ (H) レベルの終端制御信号を送出する。この結果、制御信号線 25 に接続された DRAM 1、2、3、4 の終端制御ブロック 33 には、H レベルの終端制御信号が与えられることになる。

【0034】メモリコントローラ 21 からの H レベルの終端制御信号を受けると、各 DRAM 1、2、3、及び 4 の内部終端制御信号 ITC は、H レベルになる。この状態が、図 2 の @DRAM 1 及び @DRAM 2-4 に示されている。結果として、DRAM 1、2、3、及び、4 の全てにおけるアクティブ終端回路 32、即ち、終端素子は、アクティブ状態となる。

【0035】アクティブ終端回路 32 がアクティブ状態になると、読出コマンドを受けた DRAM 1 は、設定されたクロックレイテンシの後、読出データをデータバス 22 上に出力する。読出データの出力に先立ち、DRAM 1 は、図 2 の @DRAM 1 に示すように、自己のアクティブ終端回路 32 を終端制御ブロック 33 の制御の下に、インアクティブ状態 (L レベル) にすると共に、出力イネーブル信号 @DRAM を H レベルにする。出力イネーブル信号が H レベルになると、DRAM 1 内では、クロックに同期して、メモリ素子に対する出力制御信号が H レベルとなる。

【0036】一方、出力イネーブル信号が H レベルになると、DRAM 内部終端制御信号を L レベルにする。このアクティブ終端回路 32 の制御動作は、DRAM 1 内に設けられた終端制御ブロック 33 で、DRAM 内部終端制御信号 ITC を L/H レベルにすることによって行われる。

【0037】メモリ素子に対する出力制御信号が H レベルになると、DRAM 1 では、DDR (ダブルデータレート) の手法で、クロックの立ち上がり、立下りに同期して、データがバースト状に DRAM 1 から読み出される。図示された例では、データの連続バースト長が 4 の場合が示されている。

【0038】図 2 及び 3 を参照して、各 DRAM 1、2、3、及び 4 内における動作を説明する。図 3 には、図 1 に示されたドライバ 31、レシーバ 34、アクティブ終端回路 32、及び、終端制御ブロック 33 のほかに、出力制御ブロック 35、終端制御信号及びクロック

信号とを受けて動作する制御信号レシーバ 36 を有している。図示しない DRAM 内部コントローラでは、図 1 に示す制御ユニット 211 から終端制御信号を受け、且つ、コントロールバスを介して読出コマンド (RED) を受けると、出力イネーブル信号を図 3 に示された終端制御ブロック 33 及び出力制御ブロック 35 に出力する。

【0039】終端制御ブロック 33 は、制御信号レシーバ 36 を介して終端制御信号を受け、且つ、出力イネーブル信号を受けると、終端制御ブロック 33 から出力されている DRAM 内部終端制御信号を L レベルにし、当該 DRAM のアクティブ終端回路 32 をインアクティブ状態、即ち、無効状態にする。

【0040】他方、出力イネーブル信号を受けた出力制御ブロック 35 では、クロック信号のタイミングで出力制御信号をドライバ 31 に送出する。この状態で、図 2 に示すように、出力イネーブル信号が H レベルになり、クロック信号に同期して出力制御信号が L レベルになるまで、DRAM 1 からは、データがバースト状に送出される。

【0041】一方、読出コマンド (RED) を受けていない他の DRAM 2、3、及び、4 では、出力イネーブル信号が出力されないため、これら DRAM 2、3、及び、4 の終端制御ブロック 33 は、制御ユニット 211 から与えられる終端制御信号から得られる DRAM 内部終端制御信号をアクティブ終端回路 32 にそのまま出力する。このため、DRAM 1 以外の DRAM 2、3、4 のアクティブ終端回路 32 は継続的にアクティブ状態に保たれ、この状態は、終端制御信号が L レベルとなり、その結果、DRAM 内部終端制御信号が L レベルとなるまで継続する。尚、メモリコントローラ 21 内の終端回路には、図 2 の最下段に示されているように、H レベルのメモリコントローラ内部終端制御信号が継続的に与えられているから、当該終端回路は連続的にアクティブ状態にあり、このため、DRAM 1 からのデータを反射させることなく、受信することができる。

【0042】このように、図示されたメモリシステムでは、読出の対象となる DRAM のアクティブ終端回路 32 のみがインアクティブ状態となり、他の DRAM のアクティブ終端回路及びメモリコントローラにおける終端回路がアクティブ状態となって、反射による影響をなくすることができる。

【0043】メモリコントローラ 21 は、DRAM 1 からのデータがバースト状に出力された後、終端制御信号を L レベルにする。データバス 22 上の全ての DRAM では、当該 L レベルの終端制御信号を受けて、DRAM 内部終端制御信号を L レベルにし、各 DRAM 内のアクティブ終端回路 32 をインアクティブ状態にする。以後、データバス 22 のレベルは、メモリコントローラ 21 内の終端回路によって保持されることになる。

【0044】図2に示されたタイミングチャートでは、DRAM1に、読出コマンド（RED）が発行されると同時に、メモリコントローラ21の制御ユニット211は、制御信号線25上に、Hレベルの終端制御信号を出力しているが、DRAM1からデータが出力バーストとして出力される前に、DRAM1内部のアクティブ終端回路32がインアクティブ状態になれば、読出コマンド（RED）から遅れたタイミングで、Hレベルの終端制御信号を出力しても良い。

【0045】次に、図4を参照して、図1に示すメモリシステムにおいて、メモリコントローラ21から、DRAM1及び3に対して連続的に読出コマンドが発行された場合の動作を説明する。ここで、異なるDRAMから連続的に読み出し動作を行う場合、出力ドライバにおけるデータの衝突を避けるために、クロック信号間に時間的にギャップを空けるのが一般的である。このことを考慮して、図4に示された例では、次の読出コマンド（RED）が3クロック目に出力されている。

【0046】まず、DRAM1に対して、読出コマンド（RED）がコマンドバスを通して発行されると、図1に示された制御ユニット211は、制御信号線25に終端制御信号を出力する。この場合、メモリコントローラ21内の終端回路は、アクティブ状態に置かれる。この場合の動作は、図3と同じである。したがって、メモリコントローラ21からは、終端制御信号が制御信号線25を介して、DRAM1、2、3、及び4に与えられ、各DRAM1、2、3、及び、4では、内部終端制御信号をHレベルにする（図4の④DRAM1、3、2、4参照）。

【0047】ここで、DRAM2及び4の内部終端制御信号のHレベル状態は、DRAM1及び3における読出動作が終了するまで継続する。一方、DRAM1の内部制御信号は、出力イネーブル信号を受けて、Lレベルとなり、この状態は、DRAM1からデータが読み出されるまで継続し、DRAM1からデータの読出しが終了すると、Hレベルに変化する。

【0048】DRAM1に続いて、DRAM3に読出コマンド（RED）が発行されると、メモリコントローラ21の制御ユニット211は、DRAM1のデータをバースト状に出力した後、終端制御信号をLレベルに移移させることなく、Hレベルを維持する。Hレベルの終端制御信号は、DRAM3からデータがバースト状に出力された後、Lレベルに変化する。

【0049】図4に示すように、DRAM1又は3からデータがバースト状に出力されている間、各DRAM1又は3の内部終端制御信号はLレベルを取っている。つまり、データを出力しているDRAMのアクティブ終端回路32は、インアクティブ状態、即ち、無効状態に置かれるが、読出状態にない他のDRAMのアクティブ終端回路32、及び、メモリコントローラ21の終端回路

はアクティブ状態に置かれている。

【0050】このことから明らかなように、メモリコントローラ21は、各DRAMのアクティブ終端回路32を個々に制御する必要はなく、メモリシステム全体がアクセスされている場合をカバーできるように終端制御信号の送出を制御すれば良い。また、個々のDRAMに設けられたアクティブ終端回路32を切り換える場合、クロック信号の周波数に比例して、高速で切り換える必要があるが、このような切り換え動作自体、各DRAMに設けられた内部制御部の制御によって容易に実行できる。

【0051】また、メモリコントローラ21における終端制御は、読出コマンド（RED）を発行してから、DRAM自身が出力を出すまでの間に終端回路をアクティブ状態にすれば良いので、タイミングの余裕度が大きい。このことは、メモリコントローラ21にとって、メモリシステムの制御が容易であることを意味している。

【0052】図5を参照して、図1に示されたメモリシステムのDRAM1に書込コマンド（WRT）が発行された場合の動作について説明する。この場合、まず、DRAM1に対して、コマンドバスを介して書込コマンド（WRT）が発行され、これと同時に、メモリコントローラ21は、図5に示すように、終端制御信号をHレベルにして、制御信号線25に送出する。この結果、DRAM1～4では、図5からも明らかな通り、DRAM内部終端制御信号により、各DRAMのアクティブ終端回路32がアクティブ状態となる。このため、データバス22は、終端電圧に維持される。

【0053】一方、メモリコントローラ21は、書込コマンド（WRT）をコマンドバスに発行した後、所定のクロックレイテンシ後、データをデータバス22上にバースト状に送出する。データをデータバス22上に出力するのに先立ち、メモリコントローラ21内の終端回路をインアクティブ状態、即ち、無効状態にする。このため、図1のMOSTランジスタ218及び219のゲートには、制御ユニット211から、Lレベルのメモリコントローラ内部終端制御信号が与えられる（図5参照）。図5からも明らかな通り、メモリコントローラ内部終端制御信号がLレベルになっても、DRAM1～4の内部終端制御信号はHレベルのままである。したがって、DRAM1～4のアクティブ終端回路32はアクティブ状態を維持しており、結果として、データバス22には、各DRAMのアクティブ終端回路32が接続されている。

【0054】書込コマンド（WRT）によって指定されたDRAM1に、データがバースト状に書き込まれると、メモリコントローラ21は、メモリコントローラ内部終端制御信号をHレベルにする一方、制御信号線25の終端制御信号をLレベルにする。この結果、データバ

ス22に接続された各DRAM1~4内のアクティブ終端回路32の内部終端制御信号もLレベルとなり、各アクティブ終端回路32は、インアクティブ状態になる。以後、再び、データバス22のレベルはメモリコントローラ21内部の終端回路により維持される。

【0055】尚、図5に示されたタイミングチャートでは、DRAM1に書込コマンド(WRT)が発行されると同時に、メモリコントローラ21は終端制御信号をHレベルにしているが、メモリコントローラ21から書込データがバースト状に出力される前に、各DRAM内部のアクティブ終端回路32がアクティブ状態になれば、書込コマンド(WRT)に遅れたタイミングで、終端制御信号をHレベルにしても良い。

【0056】次に、図6を参照すると、DRAM1及び3に対して、連続的に書込コマンド(WRT)が発行された場合の動作を示すタイミングチャートが示されている。図6からも明らかな通り、書込コマンド(WRT)がDRAM1に発行されると、図1に示された制御信号線25上の終端制御信号がHレベルになる。このため、各DRAM1~4の内部終端制御信号もHレベルとなるから、各DRAM1~4のアクティブ終端回路32はアクティブ状態となって、データバス22には、終端電圧が印加される。所定のクロックレイテンシ後、DRAM1及び3には、データがバースト状に書き込まれる。DRAM1及び3にデータが書き込まれている間、メモリコントローラ内部終端制御信号はLレベルとなって、メモリコントローラ21内の終端回路はインアクティブ状態となる。DRAM1及び3に対するデータの書込が終了すると、メモリコントローラ内部終端制御信号はHレベルとなると共に、各DRAM1~4に与えられている終端制御信号はLレベルとなる。この結果、各DRAM1~4のアクティブ終端回路32はインアクティブ状態に戻る。

【0057】このことから明らかなように、メモリコントローラ21は、全てのDRAMに対して終端制御信号を1本の制御信号線25を介して送信だけを行い、各DRAMは更に内部制御信号を生成することで、個々のDRAMの終端回路をコントロールしている。このため、メモリシステムは、シンプルな構成で、反射による影響なしにデータを高速に送受信することができる。

【0058】以上説明したように、図1に示されたメモリシステムでは、終端制御信号を送信する側の終端回路をインアクティブ状態、終端制御信号を受信する側の終端回路をアクティブ状態にすることにより、データを受信する側の終端回路だけを接続し、データを送信する側の終端回路を切り離した状態にして、データの送受を行うことができる。この構成によれば、反射による影響なしに、データを高速で送受信側で伝送することができる。

【0059】図1に示されたメモリシステムは、マザー

ボード上にコネクタを2つ設け、各コネクタのスロットに、2つのDRAMを有するメモリモジュールを接続した構成を有していたが、実際のメモリシステムでは、使用状況によって種々様々な組合せが考えられる。

【0060】図7及び8を参照すると、本発明に係るメモリシステムの構成が示されている。ここで、2スロットを最大とした場合におけるDRAM及びメモリコントローラ(MC)のアクティブ終端回路の状態が示されている。更に言えば、図7には、書込動作時におけるアクティブ終端回路の状態が示されており、他方、図8には、読出動作時におけるアクティブ終端回路の状態が示されている。図7及び図8において、スロット内のDRAMは通常RANKと呼ばれているので、図7及び8では、スロット内にDRAMが1個の場合を1R、2個の場合を2Rとし、スロット内にメモリモジュールがない場合をemptyであらわしている。

【0061】また、図7及び8において、アクティブ終端回路がアクティブ状態にある場合をonとし、インアクティブ状態にある場合をoffとしている。尚、xは、DRAMが接続されていない場合を示している。

【0062】図7からも明らかな通り、書込動作時、データを送信するメモリコントローラ(MC)側の終端回路は、いずれも、off状態に維持され、遠端となるDRAM側の終端回路(アクティブ終端回路)は、いずれもon状態に保たれている。

【0063】また、図8に示されているように、読出動作時には、読出データを受信するメモリコントローラ(MC)の終端回路はonとなって、有効動作状態となり、読出の対象となるDRAMの終端回路のみがoffとなって、無効動作状態となる。更に、読出の対象となっていないDRAMの終端回路はonになり、有効動作状態、即ち、アクティブ状態に保たれている。

【0064】以上説明した高周波で動作するメモリシステム及び個々のDRAMはクロック信号に同期して動作する。また、高周波動作に対応するため、DRAMに入力する信号はクロック信号によりDRAM内部に取り込まれる。しかしながら、高速のクロック信号をDRAM内部で各レシーバ回路に分配して動作させるには、内蔵するDLL(delay-locked loop)回路、高速に動作するレシーバ回路等で大きな消費電流を必要とする。例えば、現在使用されている高速DRAMの場合、電源電圧2.5Vで、常時、80mA程度の消費電流となる。したがって、一般に、DRAMがアクセスされない場合、DRAM内部のクロック信号、DLL回路、レシーバ回路の動作を停止するパワーダウンモードがこの種のメモリシステムには用意されている。パワーダウンモードでは、消費電流を3mA程度まで削減することが可能である。

【0065】そこで、本発明において、例えば、メモリシステム内に一部のRANKのDRAMがパワーダウン

モードを備えている場合、別のRANKのDRAMにアクセスがかけると、パワーダウン中のDRAM内の終端回路も有効にする必要がある。したがって、DRAMがパワーダウンモードでクロック信号を停止させる場合、DRAM内の終端制御信号レシーバ回路は、クロック信号に同期しない回路構成になっている方が好ましい。本発明の方式では、終端制御信号は、メモリシステムの動作周波数ほど高速に動作する必要がないため、終端制御信号レシーバ回路をクロック非同期とすることが可能である。

【0066】図9を参照すると、本発明の他の実施形態に係るメモリシステムに、メモリデバイスとして使用されるDRAMの終端部を説明するブロック図である。図9に示されたDRAMには、図3に示されたDRAMと比較しても明らかな通り、終端制御信号を受信する終端制御信号レシーバ回路38として、CMOSインバータ回路が接続されている。図示された終端制御信号レシーバ回路38は、クロック信号とは無関係に動作して、受信した終端制御信号を終端制御ブロック33に出力する。したがって、図示された終端制御信号レシーバ回路38は、クロックに対して非同期で動作することが判る。

【0067】図9に示したDRAMを備えたメモリシステムでは、各DRAMの終端回路で消費される電流を削減するために、メモリシステムのDRAMにアクセスがかけられない時に、終端制御信号がメモリコントローラから当該DRAMに出力される。この場合、各DRAMの終端回路をインアクティブ状態とし、メモリコントローラの終端回路のみをアクティブ状態となるような制御が行われる。

【0068】図9に示された終端回路を使用して、メモリシステムの更なる低消費電力化を図るためには、前述したパワーダウンモードを備えたDRAMにより、全てのDRAMを構成することが考えられる。このように、全てのDRAMがパワーダウンモードを備えている場合、パワーダウンモード状態になったDRAM内部の終端回路を無効にして、終端制御を行うようにすれば、メモリコントローラは終端制御信号をコントロールする必要がなくなる。このような構成を採用することにより、メモリコントローラの制御を簡単にすることができ、制御し易いメモリシステムが得られる。この場合、パワーダウンモードのエントリ（開始）、或いは、エジェクト（終了）を制御するために、メモリコントローラからパワーダウン制御信号をDRAMに出力すれば良い。このような制御方式の一例として、SDRAMにおけるCKE信号のように、特定ピンにより制御される場合を上げて説明する。尚、ここで使用されるDRAMでは、パワーダウンにエントリすることが指示されると、DRAM内部で、パワーダウン制御信号が自動的に発生して終端回路を無効にする機能を備えているものとする。

【0069】この場合、図10に示すように、メモリコントローラからパワーダウン制御信号が与えられると、DRAM内部で、内部パワーダウン制御信号が自動的に生成され、当該内部パワーダウン制御信号に応じて、DRAMの内部終端制御信号が発生するように構成すれば良い。

【0070】図11を参照すると、図10に示された動作を実現するDRAMの構成の一例が示されている。図11に示されたDRAMでは、メモリコントローラからパワーダウン制御信号を受信すると、当該DRAM内で内部パワーダウン制御信号を生成する機能を有している。当該内部パワーダウン制御信号は、終端制御ブロック33'に与えられる。図示された終端制御ブロック33'には、図3と同様に、出力イネーブル信号と共に、レシーバ36を介して終端制御信号も与えられている。

【0071】この構成において、Hレベルの終端制御信号が与えられ、且つ、内部パワーダウン制御信号、及び、出力イネーブル信号が与えられると、図示された終端制御ブロック33'は、内部終端制御信号をLレベルにして、アクティブ終端回路32を自動的に無効状態、即ち、インアクティブ状態にする。この場合、終端制御信号は、システム電源投入時においてデバイス状態が不確定な時に、強制的にアクティブ終端回路32を無効にして、不必要な電流経路を断ったり、DRAMの試験時にアクティブ終端回路32を無効にする必要があるときに、メモリコントローラから出力される。尚、図示された終端制御ブロック33'は、終端制御信号、内部パワーダウン制御信号、及び、出力イネーブル信号のNAND回路を設けるだけで、容易に構成できるから、ここでは、詳述しない。

【0072】図12を参照すると、図10に示された動作を実現する他のDRAMの構成例が示されており、ここでは、メモリコントローラから終端制御信号が与えられていない点で、図11の構成と相違している。この構成は、強制的にアクティブ終端回路32を無効にする必要が無い場合に使用することができ、図11に比較して、終端制御信号端子を削減することができるため、デバイス、システムを簡略化することができる。

【0073】即ち、図示された終端制御ブロック33'は、内部パワーダウン制御信号及び出力イネーブル信号の2つを受けると、Lレベルの内部終端制御信号をアクティブ終端回路32に供給して、当該アクティブ終端回路32を無効状態にする。

【0074】上記した実施の形態においては、DRAMと終端回路の電源電圧は、同一としたが、異なる電源電圧として構成することもできる。また、DRAMの構成も同一として説明したが、異なる構成のDRAMを組み合わせることもできる。このように、本発明は、その趣旨を変えない範囲で、種々の改変を行うことができる。

【0075】

【発明の効果】以上説明したように、本発明によれば、メモリコントローラと、当該メモリコントローラに対してデータバスを介して接続されたメモリデバイスとを備えたメモリシステムにおいて、メモリデバイス側に、選択的に動作するアクティブ終端回路を設けると共に、メモリコントローラ側にも終端回路を設けることにより、送受されるデータを反射等の影響無しに、データバスを介して高速で転送できるメモリシステムが得られる。また、パワーダウンモードに使用されるパワーダウン制御信号を利用することにより、消費電力を大幅に低下することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るメモリシステムを説明するためのブロック図である。

【図2】図1に示されたメモリシステムの読出動作時における終端制御の一例を説明するためのタイムチャートである。

【図3】図1に示されたメモリシステムに使用されたDRAMの一例を示すブロック図である。

【図4】図1に示されたメモリシステムの読出動作時における終端制御の他の例を示すタイムチャートである。

【図5】図1のメモリシステムにおける書込動作時の終端制御の一例を示すタイムチャートである。

【図6】図1のメモリシステムにおける書込動作時の終端制御の他の例を示すタイムチャートである。

【図7】本発明に係るメモリシステムにおいて、メモリデバイス（DRAM）の組合せを変更し、各メモリデバイスに対して書込動作を行った場合における終端制御を説明するための図である。

【図8】本発明の一実施形態に係るメモリシステムにおいて、メモリデバイス（DRAM）の構成を変更し、各

メモリデバイスに対して読出動作を行った場合における終端制御を説明するための図である。

【図9】本発明の一実施形態に係るメモリシステムにおいて、クロックと非同期で終端制御動作を行うことができるDRAMの一例を示すブロック図である。

【図10】本発明の他の実施形態に係るメモリシステムにおける終端制御を説明するためのタイムチャートである。

【図11】図10に示された終端制御動作を実行できるDRAMの構成の一例を示すブロック図である。

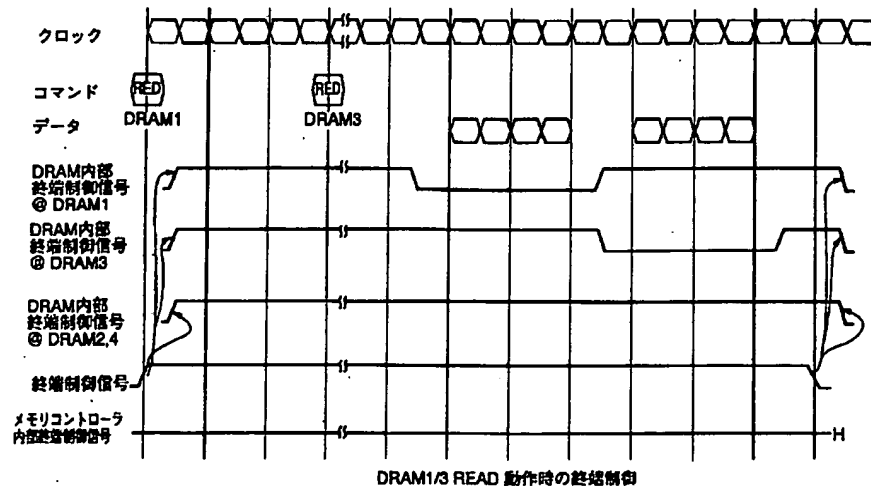
【図12】図10に示された終端制御動作を実行できるDRAMの構成の他の例を示すブロック図である。

【図13】従来のメモリシステムを概略的に説明するための配線図である。

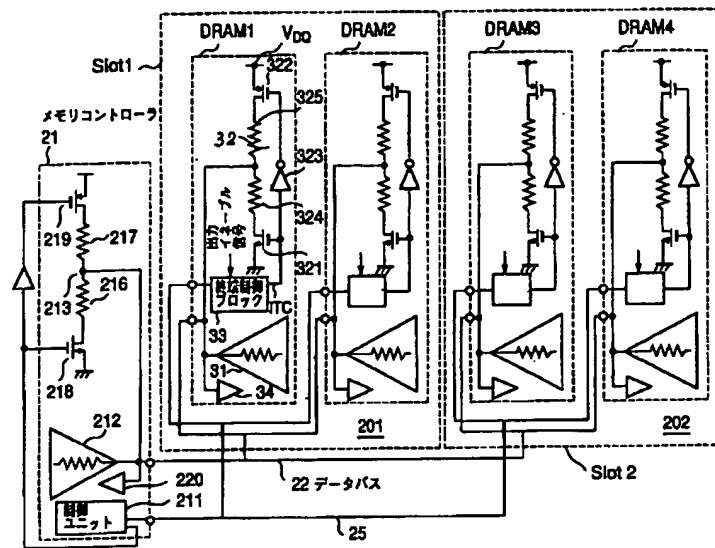
【符号の説明】

201、202	メモリモジュール
21	メモリコントローラ
22	データバス
25	制御信号線
211	制御ユニット
212	ドライバ
213	メモリコントローラの終端回路
216、217	抵抗
218、219	MOSトランジスタ
31	ドライバ
32	DRAMのアクティブ終端回路
33	終端制御ブロック
321、322、324、325	MOSトランジスタ
323	抵抗
	インバータ

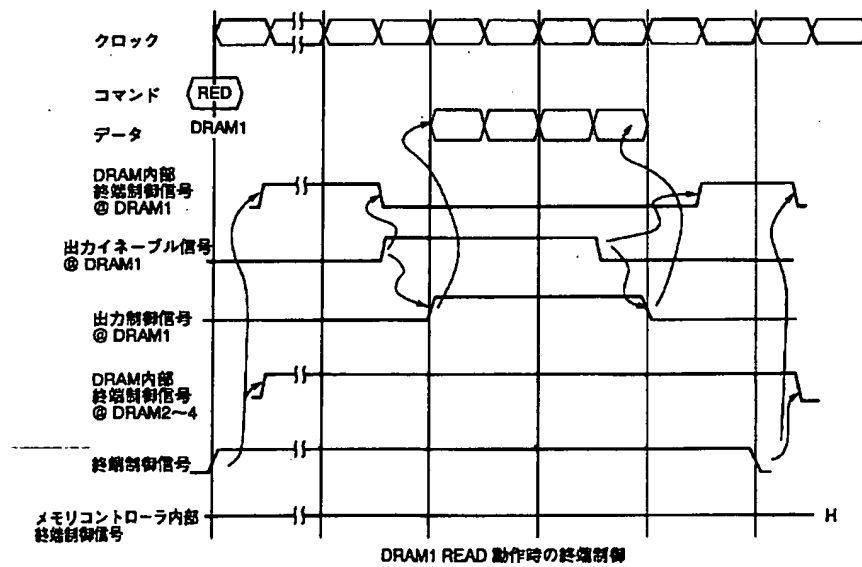
【図4】



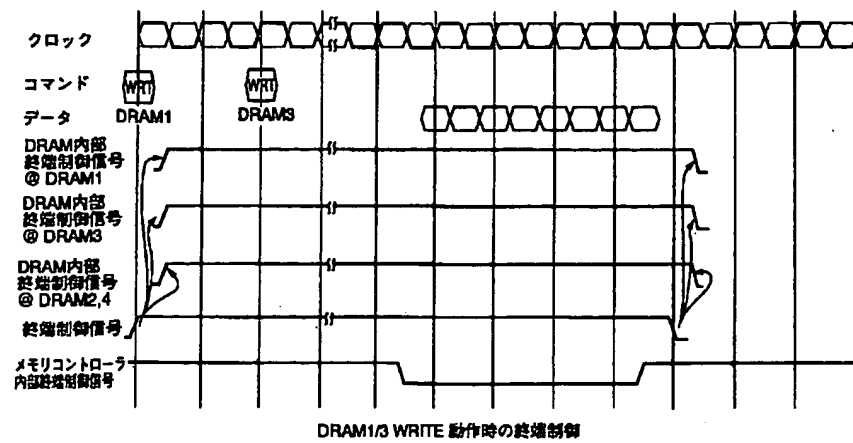
【図1】



【図2】



【図6】

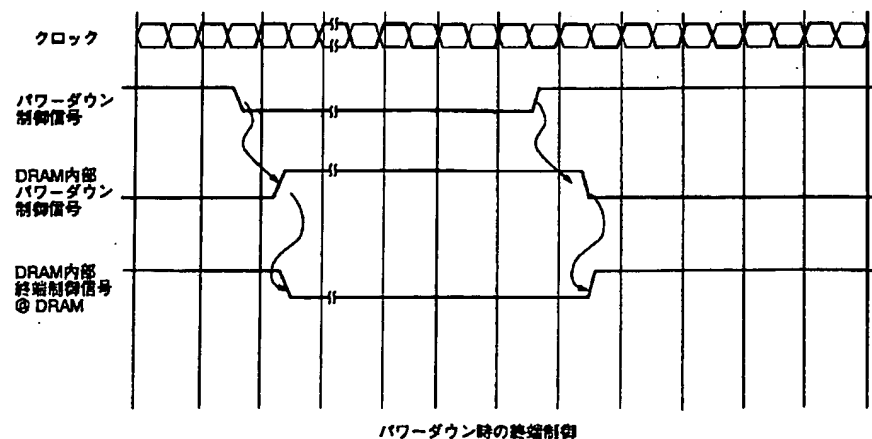


【図7】

Config	Write to	DQ Active termination resistance					
		MC	DRAM at Slot1		DRAM at Slot2		
			DRAM1	DRAM2	DRAM3	DRAM4	
2R/2R	Slot1	off	on	on	on	on	
	Slot2	off	on	on	on	on	
2R/1R	Slot1	off	on	on	on	x	
	Slot2	off	on	on	on	x	
1R/2R	Slot1	off	on	x	on	on	
	Slot2	off	on	x	on	on	
1R/1R	Slot1	off	on	x	on	x	
	Slot2	off	on	x	on	x	
2R/Empty	Slot1	off	on	on	x	x	
Empty/2R	Slot2	off	x	x	on	on	
1R/Empty	Slot1	off	on	x	x	x	
Empty/1R	Slot2	off	x	x	on	x	

システム構成別 WRITE 動作時の終端制御

【図10】

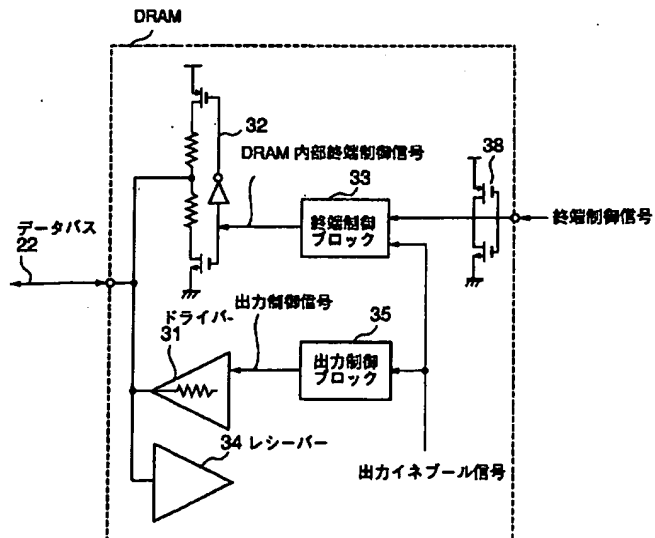


【図8】

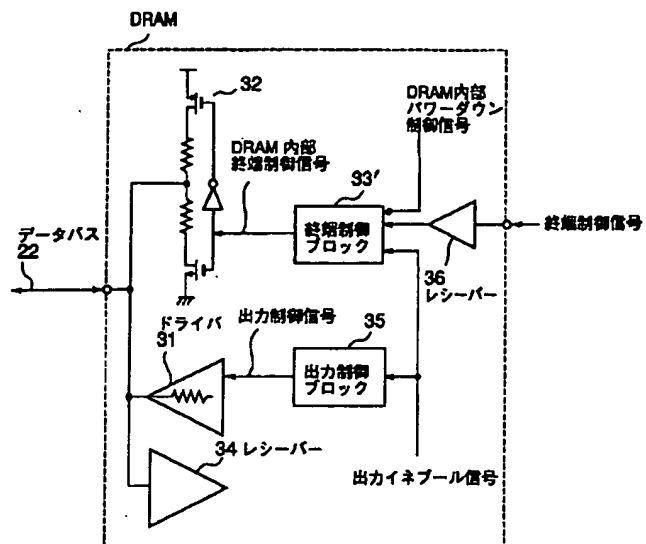
Config	Read from	DQ Active termination resistance				
		MC	DRAM at Slot1		DRAM at Slot2	
			DRAM1	DRAM2	DRAM3	DRAM4
2R/2R	Slot1 front	on	off	on	on	on
	Slot1 back	on	on	off	on	on
	Slot2 front	on	on	on	off	on
	Slot2 back	on	on	on	on	off
2R/1R	Slot1 front	on	off	on	on	x
	Slot1 back	on	on	off	on	x
	Slot2	on	on	on	off	x
	Slot1	on	off	x	on	on
1R/2R	Slot2 front	on	on	x	off	on
	Slot2 back	on	on	x	on	off
	Slot1	on	off	x	on	x
	Slot2	on	on	x	off	x
2R/Empty	Slot1 front	on	off	on	x	x
	Slot1 back	on	on	off	x	x
Empty/2R	Slot2 front	on	x	x	off	on
	Slot2 back	on	x	x	on	off
1R/Empty	Slot1	on	off	x	x	x
	Slot2	on	x	x	off	x

システム構成別 READ 動作時の終端制御

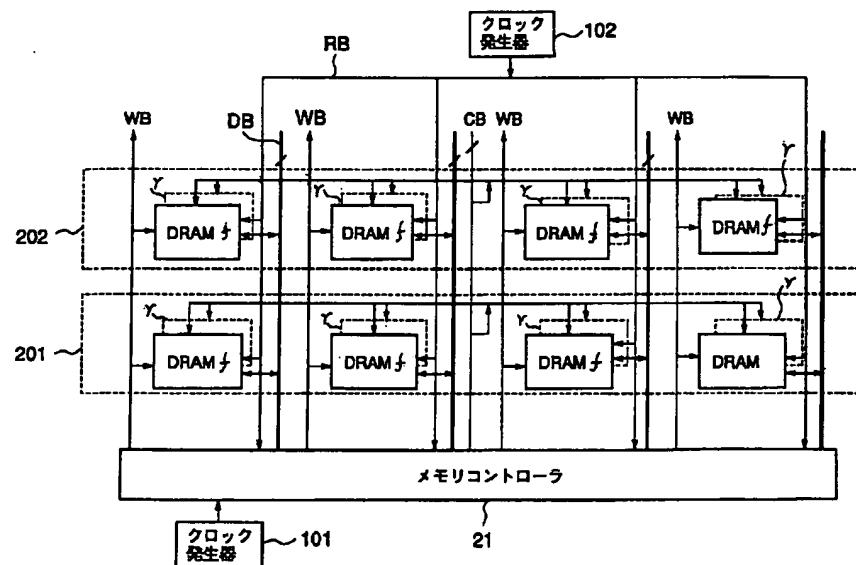
【図9】



【図11】



【図13】



フロントページの続き

(51) Int. Cl. 7

H03K 19/0175

識別記号

F I

H03K 19/00

G11C 11/34

テマコード (参考)

101Q

362S

Fターム(参考) 5B060 MM06

5J056 AA40 BB02 BB22 CC00 DD00

DD13 EE06 GG13 KK01

5M024 AA40 BB03 BB04 BB05 BB33

BB34 DD40 DD55 DD60 DD86

GG20 HH09 PP01 PP03 PP07

PP10